**RISC -V TABANLI İŞLEMCİ TASARIMI**

RABİA İLAYDA KAYA, YASEMİN ASLAN, ELİF İLGİ AKÇAY, SUDE EMİK, MELİSA YILDIRIM

Fenerbahçe Üniversitesi

Bilgisayar Mühendisliği

İstanbul, Türkiye

e-mail: {rabia.kaya,yasemin.aslan,sude.emik,elif.akçay,melisa.yıldırım}

@stu.fbu.edu.tr

**Özetçe:**

Bu proje kapsamında başlangıç tasarım verilen bir RISC-V işlemcisinin ALU ve instruction decoder blokları temel SystemVerilog dili özellikleri kullanılarak tasarım ve doğrulama çalışmaları yapılacaktır. Proje kapsamında temel hatları önceden oluşturulmuş olan bir RISC-V işlemcisinin Instruction decoder ve ALU modüllerini systemVerilog ile gerçekleyip,systemin doğrulama çalışmaları yapılacaktır. Proje sonunda Ram, Kontrol Ünitesi ve Saklayıcılar’ın bir arada çalışıp systemVerilog ile kodların nasıl yürütüldüğü gözlemlenecektir.

**Abstract:**

Within the scope of this project, design and verification studies will be carried out using the basic SystemVerilog language features of the ALU and instruction decoder blocks of a RISC-V processor given the initial design. As part of the project, SystemVerilog will perform the Instruction decoder and ALU modules of a RISC-V processor, the basic lines of which have already been created, and system verification work will be performed. At the end of the project, it will be observed how Ram, Control Unit and Decoders work together and execute codes with SystemVerilog.

**1.GİRİŞ:**

Bu proje kapsamında başlangıç tasarım verilen bir RISC-V işlemcisinin ALU ve instruction decoder blokları temel SystemVerilog dili özellikleri kullanılarak tasarım ve doğrulama çalışmaları yapılacaktır. Projenin amacı RISC-V işlemcinin tasarımını, temel çalışma prensiblerini öğrenmek ve uygulayabilmektir.

**2.SİSTEM MİMARİSİ:**

Proje kapsamında 1 araç kullanılacaktır;

* Xilinx Vivado Design Suite, FPGA geliştirme kartları üzerinde çalışmalar yapmak için gerekli olan tasarımı oluşturmak için kullanılmaktadır. Verilog, VHDL vb. donanım tasarım dillerini alarak, FPGA’e konfigüre edilebilecek (Xilinx firması FPGA’leri için .bit uzantılı dosyalar) tasarım dosyasını oluşturur.

**3.KULLANILAN YAZILIM:**

Proje açıldığında Şekil’de gösterilen başlangıç dosyaları görülmelidir. Design source altında başlangıç tasarımının tepe modülü olan riscv\_core system verilog dosyası,simulation source bölümünde ise tb\_top systemverilog dosyası bulunmaktadır.

metin içeren bir resim

Açıklama otomatik olarak oluşturuldu

Tasarımda tanımı yapılmış ancak gerçeklemesi yapılmamış modüller bulunmaktadır.

Bunlar;

• ALU

• Instruction Decoder

Modülleridir.

Aşağıdaki şekillerde bu modüllerin, proje hiyerarşisindeki konumları verilmiştir.

metin içeren bir resim

Açıklama otomatik olarak oluşturuldu

metin içeren bir resim

Açıklama otomatik olarak oluşturuldu

Bu iki modülün gerçeklemesi yapılacaktır.

* **ALU MODÜLÜ:**

Aritmetik işlemlerin gerçekleştiği bölümdür.



metin içeren bir resim

Açıklama otomatik olarak oluşturuldu

* **INSTRUCTİON DECODER MODÜLÜ:**

İşlemcinin yapması gereken kodların icrası için gereken işlemleri başlatır ve komutun çalışması için gerekli işlemleri belirler.

tablo içeren bir resim

Açıklama otomatik olarak oluşturuldu

**4.SONUÇLAR:**

* Bu projenin tasarımı ve geliştirilmesi için öncelikle Vivado Design Suite ile çalışma gereksinimini keşfettik ve sonrasında bu gereksinim üzerinden araştırma, deneme-yanılma konusunda gözlem yaptık.
* İkinci olarak RISC-V tabanlı işlemci tasarımı’nın yazılımsal ve donanımsal temelleri, işlemci içerisinde yer alan blokların çalışma prensipleri ve aralarındaki iletişimlerin doğru bir şekilde kullanılmasını gözlemledik.
* Geliştirilen RISC-V işlemcisinin ALU ve Instruction decoder tasarımlarını tamamlayarak gerekli koşulları sağladığında tasarımdaki 11 komutun gerçekleştiğini gözlemledik.
* Bu proje kapsamında RISC-V temelli bir işlemcinin nasıl olduğu, nasıl çalıştığını detaylı bir şekilde öğrendik.
* Bu proje kapsamında hangi komutların nasıl çalıştığını ve bir tasarımın nasıl test edildiğini gözlemledik.
* Verilog ve systemVerilog dillerini öğrenip daha iyi bir şekilde kavradık.
* Bu işlemcide tamamlanmamış olan ALU ve Instruction decoder tasarımını tamamladık ve test ettik.

**PROJE EKİBİ:**

**RABİA İLAYDA KAYA**: Fen Bilimleri Anadolu Lisesi mezunu olduktan sonra Fenerbahçe Üniversitesi’nde bilgisayar mühendisliği 2.sınıf öğrencisi olarak eğitimime devam ediyorum. 2020’den beri Yazılım bilişim kulübü üyesiyim.

**YASEMİN ASLAN**: Manavgat Anadolu Lisesi’ nde bir süre okudum. BATI KOLEJİ ’nde mezun olduktan sonra Fenerbahçe Üniversitesi’nde bilgisayar mühendisliği 2.sınıf öğrencisi olarak eğitimime devam ediyorum.

**SUDE EMİK:** Şişli Anadolu Lisesi mezunu olduktan sonra Fenerbahçe Üniversitesi’nde bilgisayar mühendisliği 2.sınıf öğrencisi olarak eğitimime devam ediyorum. Google developer student clubs core teamde yer alıp yazılım bilişim kulübü ve psikoloji kulübü üyesiyim.

**MELİSA YILDIRIM:** Habire Yahşi Anadolu Lisesi mezunu olduktan sonra Fenerbahçe Üniversitesi’nde bilgisayar mühendisliği 2.sınıf öğrencisi olarak eğitimime devam ediyorum. Google developer student clubs core teamde yer alıp yazılım bilişim kulübü üyesiyim.

**ELİF İLGİ AKÇAY:** Habire Yahşi Anadolu Lisesi mezunu olduktan sonra Fenerbahçe Üniversitesi’nde bilgisayar mühendisliği 2.sınıf öğrencisi olarak eğitimime devam ediyorum. Google developer student clubs core teamde yer alıp yazılım bilişim kulübü üyesiyim.

**REFERANS DOSYALAR:**

**.** https://github.com/rilaydakaya/RISC-V-TABANLI-ISLEMCI

**.** https://www.youtube.com/watch?v=SolkCcAmP0E

**KAYNAKÇA:**

* levent.tc